

TRANSISTOR PROTECTIVE ELEMENT

Patent number: JP10270567
Publication date: 1998-10-09
Inventor: SHIMIZU TAKAYUKI
Applicant: OKI ELECTRIC IND CO LTD
Classification:
 - international: H01L27/02; H01L29/732; H01L27/02; H01L29/66; (IPC1-7): H01L21/8222; H01L21/822; H01L27/04; H01L27/06
 - european: H01L27/02B4F2; H01L29/732B
Application number: JP19970068242 19970321
Priority number(s): JP19970068242 19970321

Also published as:



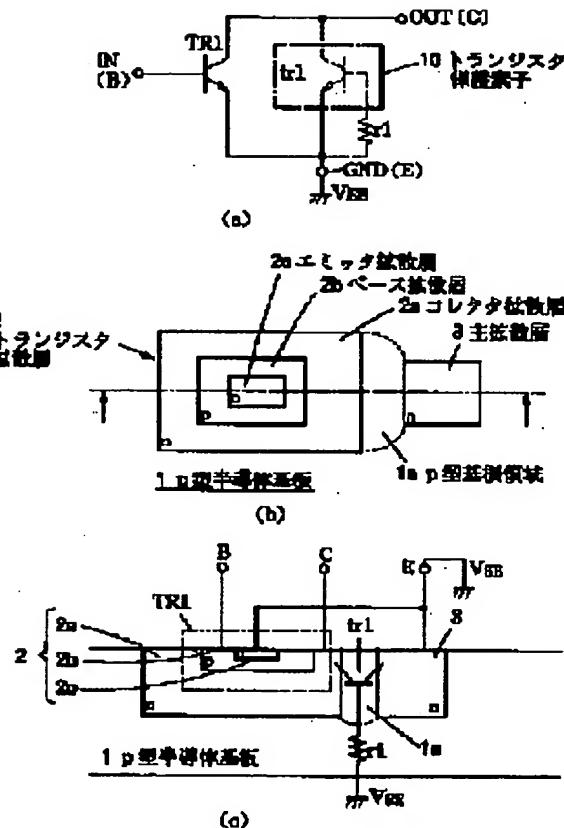
US6013941 (A)
CN1136611C (C)

[Report a data error](#)

Abstract of JP10270567

PROBLEM TO BE SOLVED: To provide a protective element which does not limit the high speed operation of a transistor.

SOLUTION: The open collector output transistor TR1, which becomes the object of protection, is formed on a transistor diffusion layer 2, and only a collector diffusion layer 2a forms the junction surface with a P-type semiconductor substrate region on the transistor diffusion layer 2. A transistor protective element 10 is composed of a collector diffusion layer (N-type diffusion layer) 2a, a main diffusion layer 3 and a P-type substrate region 1a. The N-type diffusion layer 2a is used as a collector, the main diffusion layer 3 is used as an emitter, and using the P-type substrate region 1a, which is pinched between the N-type diffusion layer 2a and the main diffusion layer 3, as a base, and when electrostatic surge is applied to an output terminal OUT, the lateral transistor TR1 is turned on. The main diffusion layer 3 is connected to an earth power source VEE, and it is formed in the vicinity of the collector diffusion layer 2a. As the protective element 10 is not connected to the terminal OUT, the parasitic capacitance is not increased, and the high speed operation of the TR1 is not subjected to restriction.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270567

(43)公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶
 H 01 L 21/8222
 27/06
 27/04
 21/822

識別記号

F I
 H 01 L 27/06 101D
 27/04 H
 27/06 311C

(21)出願番号 特願平9-68242
 (22)出願日 平成9年(1997)3月21日

審査請求 未請求 請求項の数6 O.L (全9頁)

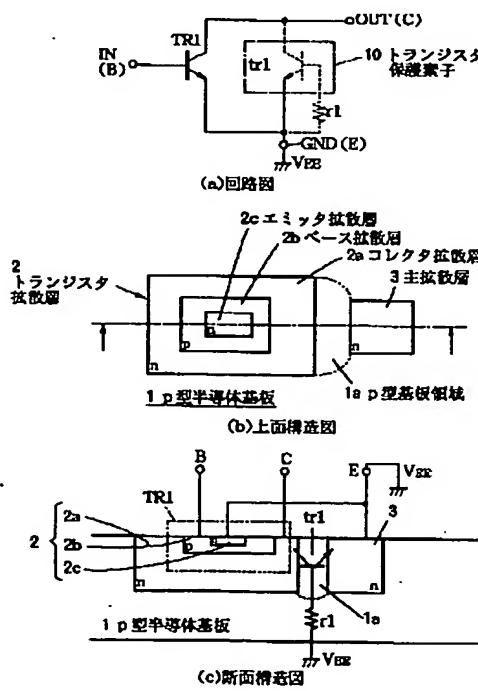
(71)出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (72)発明者 清水 隆之
 東京都港区虎ノ門1丁目7番12号 沖電気
 工業株式会社内
 (74)代理人 弁理士 前田 実

(54)【発明の名称】トランジスタ保護素子

(57)【要約】

【課題】トランジスタの高速動作を制限しない保護素子を提供する。

【解決手段】保護対象となるオープンコレクタ出力トランジスタTR1は、トランジスタ拡散層2に形成され、トランジスタ拡散層2は、コレクタ拡散層2aだけがp型半導体基板の領域と接合面を形成している。トランジスタ保護素子10は、上記のコレクタ拡散層(n型拡散層)2aと、主拡散層3と、p型基板領域1aとを有して成り、n型拡散層2aをコレクタ、主拡散層3をエミッタ、n型拡散層2aと主拡散層3とに挟まれたp型基板領域1aをベースとし、出力端子OUTに静電気サージが印加されるとONするラテラルトランジスタtr1である。主拡散層3は、接地電源VEEに配線接続され、コレクタ拡散層2aに近接して形成されている。保護素子10は、端子OUTに配線接続されないので端子OUTの寄生容量を増加させることができなく、TR1の高速動作を制限しない。



第1の実施形態

【特許請求の範囲】

【請求項1】 半導体基板のトランジスタ拡散層に形成されたバイポーラトランジスタを、前記トランジスタ拡散層の最外郭拡散層に混入する過大電圧から保護するトランジスタ保護素子であって、
前記最外郭拡散層と、

外部基準電源に配線接続され、かつ前記最外郭拡散層に対して所定の距離を隔てて近接するように前記半導体基板に形成された主拡散層と、

前記最外郭拡散層と前記主拡散層とに前記近接距離で挟まれた基板領域とを有して成ることを特徴とするトランジスタ保護素子。

【請求項2】 さらに、前記外部基準電源とは別の外部電源に配線接続され、かつ前記主拡散層または前記コレクタ拡散層に対して所定の距離を隔てて近接するように前記半導体基板に形成された副拡散層と、

前記最外郭拡散層または前記主拡散層と前記副拡散層とに前記近接距離で挟まれた基板領域とを有して成ることを特徴とする請求項1記載のトランジスタ保護素子。

【請求項3】 前記主拡散層が前記最外郭拡散層を取り囲むように環状に形成されており、

副拡散層を有するときには、さらに前記副拡散層が前記主拡散層を取り囲むように環状に形成されていることを特徴とする請求項1または2に記載のトランジスタ保護素子。

【請求項4】 さらに、前記外部基準電源とは別のN(Nは2以上の整数)個の異なる外部電源にそれぞれ配線接続されたN個の副拡散層と、

前記最外郭拡散層または前記主拡散層と前記N個の副拡散層のいずれか1つとに挟まれた基板領域と、

前記N個の副拡散層のいずれか2つに挟まれた基板領域とを有して成り、

それぞれの前記副拡散層は、前記最外郭拡散層、前記主拡散層、または他の副拡散層に対して所定の距離を隔てて近接するように前記半導体基板に形成されており、前記基板領域は、いずれか2つの前記拡散層に前記近接距離で挟まれていることを特徴とする請求項1記載のトランジスタ保護素子。

【請求項5】 前記最外郭拡散層がコレクタ拡散層であり、前記バイポーラトランジスタがオープンコレクタ形式の出力トランジスタであることを特徴とする請求項1ないし4のいずれかに記載のトランジスタ保護素子。
40

【請求項6】 前記半導体基板が第1の導電型であり、前記コレクタ拡散層と前記主拡散層とが第2の導電型であり、

副拡散層を有するときには、さらに前記副拡散層が第2の導電型であることを特徴とする請求項1ないし5のいずれかに記載のトランジスタ保護素子。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】本発明は、半導体基板に形成されたバイポーラトランジスタを静電気サージ等の過大電圧から保護するトランジスタ保護素子に関し、特にオープンコレクタ形式の出力トランジスタとして用いられるバイポーラトランジスタに好適なトランジスタ保護素子に関する。

【0002】

【従来の技術】図6は従来のトランジスタ保護素子を示す図であり、(a)は回路図、(b)は断面構造図である。このトランジスタ保護素子100は、オープンコレクタ形式の出力トランジスタとして回路に組み込まれているn-p-n型バイポーラトランジスタTR1に対して設けられたものであり、図6(a)に示すように、出力端子OUTと正電源VCCとの間に挿入されたダイオードd1と、出力端子OUTと接地電源VEEとの間に挿入されたダイオードd2とを有する。また図6(b)に示すように、出力トランジスタTR1のコレクタとなるn型拡散層2aとダイオードd1のアノードとなるp型拡散層101b、およびn型拡散層2aとダイオードd2のカソードとなるn型拡散層102aは、それぞれ配線接続されている。

【0003】図6において、正電源VCCよりも大きな正の静電気サージが出力端子OUTに加わった場合には、ダイオードd1がONしてサージ電流を出力端子OUTから正電源VCC側にバイパスし、また負の静電気サージ(接地電源VEEより低電位の静電気サージ)が出力端子OUTに加わった場合には、ダイオードd2がONしてサージ電流を出力端子OUTから接地電源VEE側にバイパスし、出力トランジスタTR1を保護する。

20

【0004】また寄生トランジスタをトランジスタ保護素子としては、例えば特開平7-122715号公報に開示されたものがある。具体的には、半導体基板に形成した第1の拡散層を、保護対象である入力トランジスタの入力端子(通常はベース端子)に配線接続し、さらに第1の拡散層の近傍に、接地電源に配線接続された第2の拡散層および正電源に配線接続された第3の拡散層を形成し、第1の拡散層と第2の拡散層による寄生トランジスタ、および第1の拡散層と第3の拡散層による寄生容量トランジスタをそれぞれ保護素子として動作させる。

【0005】

【発明が解決しようとする課題】しかしながら上記従来のトランジスタ保護素子においては、保護対象とするトランジスタの保護対象とする端子の寄生容量を増加させてしまい、トランジスタの高速動作が制限されてしまうという問題があった。例えば、図6においては、トランジスタ保護素子100を設けると、出力トランジスタTR1のコレクタ端子(出力端子OUT)の寄生容量が増加し、出力トランジスタTR1の高速動作が制限されてしまう。ここで、出力トランジスタTR1のコレクタ側

50

の寄生容量の增加分は、主にダイオードd1およびd2との間を接続する配線による容量と、ダイオードd1、d2それぞれにおけるpn接合容量である。

【0006】本発明はこのような従来の問題を解決するものであり、保護対象となるバイポーラトランジスタの高速動作を制限しないトランジスタ保護素子を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために本発明の請求項1記載のトランジスタ保護素子は、半導体基板のトランジスタ拡散層に形成されたバイポーラトランジスタを、前記トランジスタ拡散層の最外郭拡散層に混入する過大電圧から保護するトランジスタ保護素子であって、前記最外郭拡散層と、外部基準電源に配線接続され、かつ前記最外郭拡散層に対して所定距離を隔てて近接するように前記半導体基板に形成された主拡散層と、前記最外郭拡散層と前記主拡散層とに前記近接距離で挟まれた基板領域とを有して成る。

【0008】請求項2記載のトランジスタ保護素子は、請求項1において、さらに、前記外部基準電源とは別の外部電源に配線接続され、かつ前記主拡散層または前記コレクタ拡散層に対して所定の距離を隔てて近接するように前記半導体基板に形成された副拡散層と、前記最外郭拡散層または前記主拡散層と前記副拡散層とに前記近接距離で挟まれた基板領域とを有して成る。

【0009】請求項3記載のトランジスタ保護素子は、請求項1または2において、前記主拡散層が前記コレクタ拡散層を取り囲むように環状に形成されており、副拡散層を有するときには、さらに前記副拡散層が前記主拡散層を取り囲むように環状に形成されていることを特徴とする。

【0010】請求項4記載のトランジスタ保護素子は、請求項1において、さらに、前記外部基準電源とは別のN(Nは2以上の整数)個の異なる外部電源にそれぞれ配線接続されたN個の副拡散層と、前記最外郭拡散層または前記主拡散層と前記N個の副拡散層のいずれか1つとに挟まれた基板領域と、前記N個の副拡散層のいずれか2つに挟まれた基板領域とを有して成り、それぞれの前記副拡散層は、前記最外郭拡散層、前記主拡散層、または他の副拡散層に対して所定の距離を隔てて近接するように前記半導体基板に形成されており、前記基板領域は、いずれか2つの前記拡散層に前記近接距離で挟まれていることを特徴とする。

【0011】請求項5記載のトランジスタ保護素子は、請求項1ないし4のいずれかにおいて、前記最外郭拡散層がコレクタ拡散層であり、前記バイポーラトランジスタがオープンコレクタ形式の出力トランジスタであることを特徴とする。

【0012】請求項6記載のトランジスタ保護素子は、請求項1ないし5のいずれかにおいて、前記半導体基板

が第1の導電型であり、前記コレクタ拡散層と前記主拡散層とが第2の導電型であり、副拡散層を有するときには、さらに前記副拡散層が第2の導電型であることを特徴とする。

【0013】

【発明の実施の形態】

第1の実施形態

図1は本発明の第1の実施形態のトランジスタ保護素子を示す図であり、(a)は回路図、(b)は上面構造

10 図、(c)は断面構造図である。このトランジスタ保護素子10は、図1(a)に示すように出力トランジスタTR1に対して設けられたものである。尚、ここでは第1の導電型はp型、第2の導電型はn型である。

【0014】出力トランジスタTR1は、エミッタ接地形式、かつオープンコレクタ形式のnpn型バイポーラトランジスタであり、図1(b)、(c)に示すように、p型半導体基板1のトランジスタ拡散層2に形成されている。トランジスタ拡散層2は、コレクタ拡散層

20 (n型拡散層)2aと、コレクタ拡散層2a内に形成されたベース拡散層(p型拡散層)2bと、ベース拡散層2b内に形成されたエミッタ拡散層2cとを有する。コレクタ拡散層2aは出力端子OUT(コレクタ端子C)に配線接続され、ベース拡散層2bは入力端子IN(ベース端子B)に配線接続され、エミッタ拡散層2cは接地端子GND(エミッタ端子E)に配線接続されており、接地端子GNDは外部の接地電源VEE(外部基準電源)に配線接続されている。バイポーラトランジスタは、通常、このようにトランジスタ拡散層の最外郭拡散層がコレクタ拡散層となる構造であり、3つの拡散層の30 中でコレクタ拡散層だけが基板領域と接合面を形成する。

【0015】トランジスタ保護素子10は、トランジスタ拡散層2の最外郭拡散層に対応する出力トランジスタTR1の端子、すなわちコレクタ端子Cに混入する静電気サージから出力トランジスタTR1を保護するものである。このトランジスタ保護素子10は、n型拡散層

(出力トランジスタTR1のコレクタ拡散層)2aと、主拡散層(n型拡散層)3と、p型基板領域1aとをして成り、n型拡散層2aをコレクタ、主拡散層3をエミッタ、n型拡散層2aと主拡散層3とに挟まれたp型基板領域1aをベースとするラテラルトランジスタtr1である。主拡散層3は、接地電源VEEに配線接続され、コレクタ拡散層2aに近接して形成されている。コレクタ拡散層2aと主拡散層3との距離(p型基板領域1aとの接合面間の距離)は、出力トランジスタTR1が正常動作しているときに両拡散層が電気的に分離され、出力端子OUTに静電気サージが混入したときに、n型拡散層2aとp型基板領域1aとの接合面または主拡散層3とp型基板領域1aとの接合面のいずれかがブレークダウンするような距離である。尚、p型半導体基

板1は接地電源VEEに接続されており、図中の抵抗r1は、p型基板領域1aと接地電源VEEとの間の基板抵抗を示している。

【0016】次に図1に示すトランジスタ保護素子10の動作を説明する。図1において、接地電源VEEを0[V]として、正電源VCCを越えるような正の静電気サージが出力端子OUTに印加された場合には、コレクタ拡散層2aとp型基板領域1aとの間でブレークダウンを起こしてp型基板領域1aの電位が0[V]から上昇し、p型基板領域1aと主拡散層3のpn接合がONして、サージ電流を出力端子OUTから接地電源VEE側にバイパスする。また、負の静電気サージが出力端子OUTに印加された場合には、p型基板領域1aと主拡散層3との間でブレークダウンを起こしてp型基板領域1aの電位が0[V]に向けて上昇し、コレクタ拡散層2aとp型基板領域1aとのpn接合がONして、サージ電流を接地電源VEE側から出力端子OUTにバイパスする。すなわち、外部より出力端子OUTに静電気サージが印加されると、ラテラルトランジスタtr1がONしてサージ電圧を放電させるので、出力トランジスタTR1には静電気サージが加わらず、出力トランジスタTR1を上記の静電気サージから保護することができる。

【0017】ここで、トランジスタ保護素子10（ラテラルトランジスタtr1）は、出力端子OUTに配線接続されていないので、出力端子OUTに寄生する容量は、出力トランジスタTR1による寄生容量のみとなる。すなわち、トランジスタ保護素子10を設けても、出力端子OUTの寄生容量は増加せず、出力トランジスタTR1は、トランジスタ保護素子10がないときと同様の高速動作ができる。

【0018】尚、入力端子INに対してトランジスタ保護素子を設けるには、もう1つn型拡散層を形成し、この新たなn型拡散層とベース拡散層2bとを配線接続しなければならず、入力端子INの寄生容量を増加させてしまう。またエミッタ端子Eに対しても同様である。従って保護対象となるバイポーラトランジスタの保護対象となる端子は、トランジスタ拡散層の最外郭拡散層に接続していることが必要である。もし仮に、エミッタ拡散層が最外郭拡散層となっているバイポーラトランジスタがあれば、第1の実施形態のトランジスタ保護素子によって、エミッタ端子の寄生容量を増加させることなく、エミッタ端子に混入する静電気サージからトランジスタを保護することができる。

【0019】このように第1の実施形態によれば、保護対象となる出力トランジスタTR1に対するトランジスタ保護素子10を、出力トランジスタTR1のコレクタ拡散層2aと、このコレクタ拡散層2aに近接し、接地電源VEEに配線接続した主拡散層3と、この間のp型基板領域1aとで形成することにより、出力トランジスタTR1のコレクタ端子C（出力端子OUT）に寄生する

容量は、出力トランジスタTR1の寄生容量のみとなり、保護素子10による寄生容量が付加されないため、出力トランジスタTR1の高速動作を制限することがない。

【0020】尚、上記第1の実施形態においては保護対象のトランジスタをオープンコレクタ形式のnpn型としたが、保護対象のトランジスタは、オープンコレクタ形式に限定されるものではなく、またpnp型でも良い。さらに保護対象のトランジスタの保護対象となる端子は、コレクタ端子に限定されることなく、最外郭拡散層に接続する端子であれば良い。

【0021】第2の実施形態

図2は本発明の第2の実施形態のトランジスタ保護素子を示す構造図であり、(a)は上面構造図、(b)は断面構造図である。このトランジスタ保護素子は、図1に示した出力トランジスタTR1に対して設けられたものである。

【0022】図2に示すトランジスタ保護素子は、出力トランジスタTR1のコレクタ拡散層2aと、主拡散層（n型拡散層）4と、p型基板領域1bとを有してなり、コレクタ拡散層2aをコレクタ、主拡散層4をエミッタ、コレクタ拡散層2aと主拡散層4とに挟まれたp型基板領域1bをベースとするラテラルトランジスタtr2である。従って、図2に示すトランジスタ保護素子の回路図は、図1(a)において、ラテラルトランジスタtr1をtr2に変えたものである。主拡散層4は、接地電源VEEに配線接続され、図1の主拡散層3と同じ近接距離で、コレクタ拡散層2aを取り囲むように形成されている。尚、図中の抵抗r2は、p型基板領域1bと接地電源VEEとの間の基板抵抗を示している。

【0023】図2に示すトランジスタ保護素子の動作は、上記第1の実施形態のトランジスタ保護素子と同じである。しかし、図2に示すトランジスタ保護素子においては、コレクタ拡散層2aとp型基板領域1bとの接合面積およびp型基板領域1bと主拡散層4との間の接合面積、すなわちラテラルトランジスタtr2のコレクターベース間のpn接続面積およびベースーエミッタ間のpn接続面積を、上記第1の実施形態よりもそれぞれ大きく確保できるため、ラテラルトランジスタtr2がONしたときに、サージ電流が分散され、ある部分に集中して流れなくなるので、静電気耐圧が高くなる。

【0024】このように第2の実施形態によれば、出力トランジスタTR1のコレクタ端子C（出力端子OUT）に寄生する容量は、上記第1の実施形態と同様に出力トランジスタTR1の寄生容量のみとなり、保護素子による寄生容量が付加されないため、出力トランジスタTR1の高速動作を制限する事がない。さらに、トランジスタ保護素子であるラテラルトランジスタtr2のpn接合面積が広いため、上記第1の実施形態に比べて

静電気耐圧を高くすることができる。

【0025】第3の実施形態

図3は本発明の第3の実施形態のトランジスタ保護素子を示す図であり、(a)は回路図、(b)は上面構造図、(c)は断面構造図である。このトランジスタ保護素子11は、図3(a)に示すように、出力トランジスタTR1に対して設けられたものである。この出力トランジスタTR1は、図1に示したオーブンコレクタ形式の出力トランジスタである。

【0026】トランジスタ保護素子11は、最外郭拡散層であるコレクタ拡散層2aに接続するコレクタ端子C(出力端子OUT)に混入する静電気サージから出力トランジスタTR1を保護するものである。このトランジスタ保護素子11は、n型拡散層(コレクタ拡散層)2aと、主拡散層(n型拡散層)3と、p型基板領域1aと、副拡散層(n型拡散層)5と、p型基板領域1cとを有して成り、n型拡散層2aをコレクタ、主拡散層3をエミッタ、p型基板領域1aをベースとするラテラルトランジスタtr1と、主拡散層3をエミッタ、副拡散層5をコレクタ、主拡散層3と副拡散層5とに挟まれたp型基板領域1cをベースとするラテラルトランジスタtr3とを有する。主拡散層3は、接地電源VEEに配線接続され、主拡散層2aに近接して形成されている。また副拡散層5は、正電源VCC(外部電源)に配線接続され、主拡散層3に近接して形成されている。すなわちトランジスタ保護素子11は、図1に示すトランジスタ保護素子10において、さらに副拡散層5を形成してラテラルトランジスタtr3を設けたものである。尚、図中の抵抗r3は、p型基板領域1cと接地電源VEEとの間の基板抵抗を示している。

【0027】次に図3に示すトランジスタ保護素子11の動作を説明する。図3において、接地電源VEEを基準(0[V])として正電源VCCを越えるような正の静電気サージが出力端子OUTに印加された場合には、コレクタ拡散層2aとp型基板領域1aとの間でブレークダウンを起こしてp型基板領域1aの電位が0[V]から上昇し、p型基板領域1aと主拡散層3とのpn接合がONして、サージ電流を出力端子OUTから接地電源VEE側にバイパスし、さらに主拡散層3とp型基板領域1cとの間でブレークダウンを起こしてp型基板領域1cの電位が上昇し、p型基板領域1cと副拡散層5とのpn接合がONして、サージ電流を正電源VCC側にもバイパスする。また、負の静電気サージが出力端子OUTに印加された場合には、p型基板領域1aと主拡散層3との間でブレークダウンを起こしてp型基板領域1aの電位が0[V]から上昇し、コレクタ拡散層2aとp型基板領域1aとのpn接合がONして、サージ電流を接地電源VEE側から出力端子OUTにバイパスし、さらにp型基板領域1cと副拡散層5との間でブレークダウンを起こしてp型基板領域1cの電位が上昇し、副拡散層3

とp型基板領域1cとのpn接合がONして、サージ電流を正電源VCC側からもバイパスする。

【0028】次に、何らかの原因によりエミッタ端子Eと接地電源VEEの接続が外れた場合、あるいはM1規格による静電気耐圧試験をする場合等において、エミッタ端子Eが開放となったときの動作を説明する。まず、上記正の静電気サージが出力端子OUTに印加された場合には、コレクタ拡散層2aとp型基板領域1aとの間、および主拡散層3とp型基板領域1cとの間でそれぞれブレークダウンを起こし、これによりp型基板領域1aおよび1cの電位がそれぞれ上昇し、p型基板領域1aと主拡散層3とのpn接合、およびp型基板領域1cと副拡散層5とのpn接合がそれぞれONして、サージ電流を出力端子OUTから正電源VCC側にバイパス吸収する。また、負の静電気サージが出力端子OUTに印加された場合には、p型基板領域1aと主拡散層3との間、およびp型基板領域1aおよび1cの電位がそれぞれ上昇し、これによりp型基板領域1aと主拡散層3とのpn接合、およびp型基板領域1cと副拡散層5とのpn接合がそれぞれONして、サージ電流を正電源VCC側から出力端子OUTにバイパス吸収する。

【0029】すなわち、外部より出力端子OUTに静電気サージが印加されると、ラテラルトランジスタtr1およびtr2がそれぞれONしてサージ電圧を放電させるので、出力トランジスタTR1に静電気サージが加わらず、出力トランジスタTR1を上記の静電気サージから保護することができる。このとき、トランジスタ保護素子11(ラテラルトランジスタtr1およびtr2)は、出力端子OUTに配線接続されていないので、出力端子OUTに寄生する容量は、出力トランジスタTR1による寄生容量のみとなり、出力トランジスタTR1は、トランジスタ保護素子11がないときと同様の高速動作ができる。

【0030】このように第3の実施形態によれば、出力トランジスタTR1に対するトランジスタ保護素子11を、出力トランジスタTR1のコレクタ拡散層2aと、このコレクタ拡散層2aに近接し、接地電源VEEに配線接続した主拡散層3と、これらの間のp型基板領域1aと、主拡散層3に近接し、正電源VCCに配線接続した副拡散層5と、これらの間のp型基板領域1cとで形成することにより、出力トランジスタTR1のコレクタ端子C(出力端子OUT)に寄生する容量は、上記第1および第2の実施形態と同様となり、出力トランジスタTR1の高速動作を制限することができない。さらに、放電経路を正電源VCC側にも確保できるため、上記第1および第2の実施形態に比べて、静電気耐圧を高くすることができる。

【0031】尚、副拡散層5をコレクタ拡散層2a、あるいは主拡散層3とコレクタ拡散層2aの両方に近接させて形成しても良い。この場合には、正の静電気サージ

に対しては、ラテラルトランジスタ $t_r 1$ が先にONし、負の静電気サージに対しては、ラテラルトランジスタ $t_r 2$ が先にONして、それぞれ静電気サージを吸収する。また、異なる外部電源に接続された複数の副拡散層を形成しても良い。

【0032】第4の実施形態

図4は本発明の第3の実施形態のトランジスタ保護素子を示す構造図であり、(a)は上面構造図、(b)は断面構造図である。このトランジスタ保護素子は、図1に示した出力トランジスタTR1に対して設けられたものである。

【0033】図4に示すトランジスタ保護素子は、出力トランジスタTR1のコレクタ拡散層2aと、主拡散層4と、p型基板領域1bと、副拡散層(n型拡散層)6と、p型基板領域1dとを有しており、コレクタ拡散層2aをコレクタ、主拡散層4をエミッタ、コレクタ拡散層2aと主拡散層4とに挟まれたp型基板領域1bをベースとするラテラルトランジスタ $t_r 2$ と、主拡散層4をエミッタ、副拡散層6をコレクタ、主拡散層4と副拡散層6に挟まれたp型基板領域1dをベースとするラテラルトランジスタ $t_r 4$ とを有する。従って、図4に示すトランジスタ保護素子の回路図は、図3(a)において、ラテラルトランジスタ $t_r 1$ を $t_r 2$ に変え、ラテラルトランジスタ $t_r 3$ を $t_r 4$ に変えたものである。主拡散層4は、接地電源VEEに配線接続され、図1の主拡散層3と同じ近接距離で、コレクタ拡散層2aを取り囲むように形成されている。また、副拡散層6は、正電源VCCに配線接続され、図3の副拡散層5と同じ近接距離で、主拡散層3を取り囲むように形成されている。

尚、図中の抵抗 r_4 は、p型基板領域1dと接地電源VEEとの間の基板抵抗を示している。

【0034】図4に示すトランジスタ保護素子の動作は、上記第3の実施形態のトランジスタ保護素子と同じである。しかし、図4に示すトランジスタ保護素子においては、コレクタ拡散層2aとp型基板領域1bとの接合面積、p型基板領域1bと主拡散層4との間の接合面積、主拡散層4とp型基板領域1dとの接合面積、およびp型基板領域1dと副拡散層6との接合面積、すなわちラテラルトランジスタ $t_r 2$ および $t_r 4$ のコレクターベース間のpn接続面積およびベースーエミッタ間のpn接続面積を、上記第3の実施形態よりもそれぞれ大きく確保できるため、ラテラルトランジスタ $t_r 2$ および $t_r 4$ がONしたときに、サージ電流が分散され、ある部分に集中して流れることなくなるので、さらに静電気耐圧が高くなる。

【0035】このように第4の実施形態によれば、出力トランジスタTR1のコレクタ端子C(出力端子OUT)に寄生する容量は、上記第1ないし第3の実施形態と同様に出力トランジスタTR1の寄生容量のみとなり、保護素子による寄生容量が付加されないため、出力

トランジスタTR1の高速動作を制限することがない。さらに、トランジスタ保護素子を構成するラテラルトランジスタ $t_r 2$ および $t_r 4$ のpn接合面積が広いため、上記第3の実施形態に比べて静電気耐圧をさらに高くすることができる。

【0036】尚、第4の実施形態においては、コレクタ拡散層2aを取り囲むように主拡散層4を形成し、主拡散層4を取り囲むように副拡散層6を形成したが、主拡散層と副拡散層の形成領域はこれに限定されるものではない。例えば、図5(a)に示すように、主拡散層4aと副拡散層6aとによりコレクタ拡散層2aを取り囲むようにしても良く、また図5(b)に示すように、コレクタ拡散層2aに近接するように副拡散層6bを形成し、副拡散層6bの形成領域を除いてコレクタ拡散層2aを取り囲むように、主拡散層4bを形成しても良い。

【0037】

【発明の効果】以上説明したように本発明のトランジスタ保護素子によれば、トランジスタ保護素子を、保護対象となるトランジスタの最外郭拡散層と、この最外郭拡散層に近接し、外部基準電源に配線接続した主拡散層と、この間の基板領域とで形成することにより、保護素子を設けても、保護対象トランジスタの最外郭拡散層に接続する端子の寄生容量を増加させることができないので、保護対象トランジスタの高速動作を制限することができないという効果がある。

【0038】また、本発明の請求項2または4に記載のトランジスタ保護素子によれば、主拡散層または最外郭拡散層に近接し、外部電源に配線接続する副拡散層をさらに設けることにより、過大電圧の放電経路を外部電源側にも確保できるので、上記の効果に加え、静電気耐圧を高くすることができるという効果がある。

【0039】また、本発明の請求項3記載のトランジスタ保護素子によれば、最外郭拡散層を取り囲むように環状に主拡散層を形成することにより、接合面積が広くなり、サージ電流を分散することができるので、上記本発明の効果に加え、静電気耐圧を高くすることができるという効果がある。また環状形成された主拡散層を取り囲むように環状に副拡散層を形成すれば、さらに静電気耐圧を高くすることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のトランジスタ保護素子を示す図である。

【図2】 本発明の第2の実施形態のトランジスタ保護素子を示す構造図である。

【図3】 本発明の第3の実施形態のトランジスタ保護素子を示す図である。

【図4】 本発明の第4の実施形態のトランジスタ保護素子を示す構造図である。

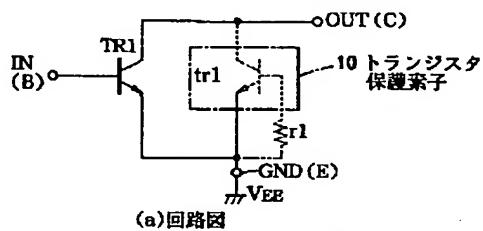
【図5】 本発明の第4の実施形態における別のトランジスタ保護素子を示す上面構造図である。

【図6】 従来のトランジスタ保護素子を示す図である。

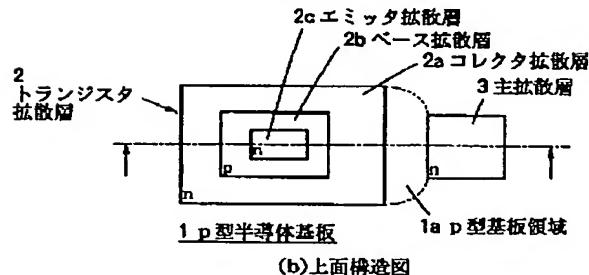
【符号の説明】

1 p型半導体基板、 1 a, 1 b, 1 c, 1 d p型
基板領域、 2 トランジスタ拡散層、 2 a コレク
タ拡散層(n型拡散層)、 2 b ベース拡散層(p型
拡散層)、 2 c エミッタ拡散層(n型拡散層)、
3, 4, 4 a, 4 b 主拡散層(n型拡散層)、 5, *

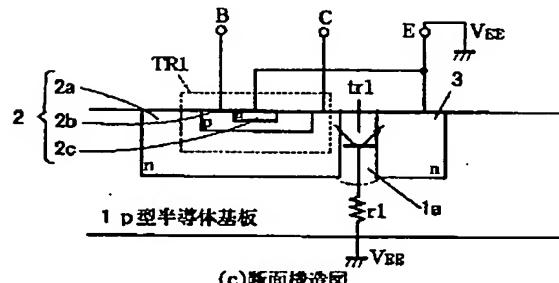
[1]



(a)回路図



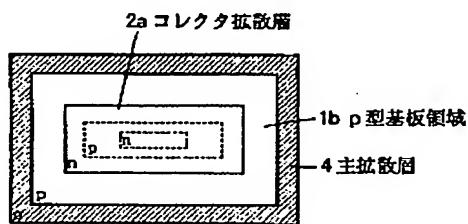
(b)上面機造図



第1の実施形態

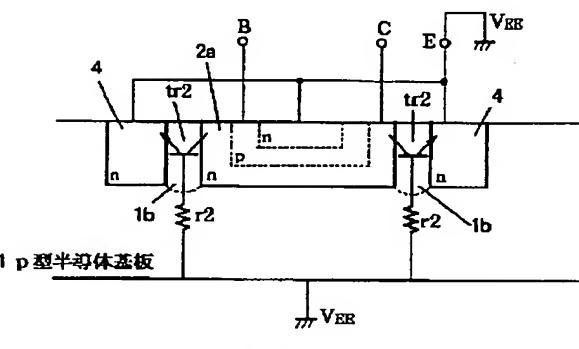
* 6, 6 a, 6 b 副拡散層（n型拡散層）、10, 11
 1 トランジスタ保護素子、tr1, tr2, tr
 3, tr4 n-p-n型ラテラルトランジスタ、TR1
 n-p-n型バイポーラトランジスタ（出力トランジス
 タ）、VEE 接地電源、VCC 正電源、IN 入
 力端子、OUT 出力端子、GND 接地端子、
 B ベース端子、E エミッタ端子、C コレクタ
 端子

[図2]



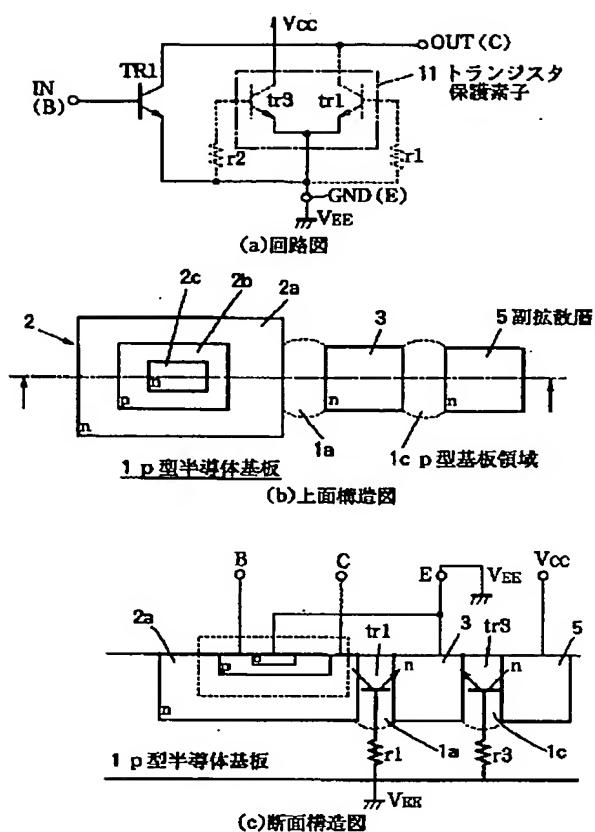
1 p型半导体基板

(a)上面構造図



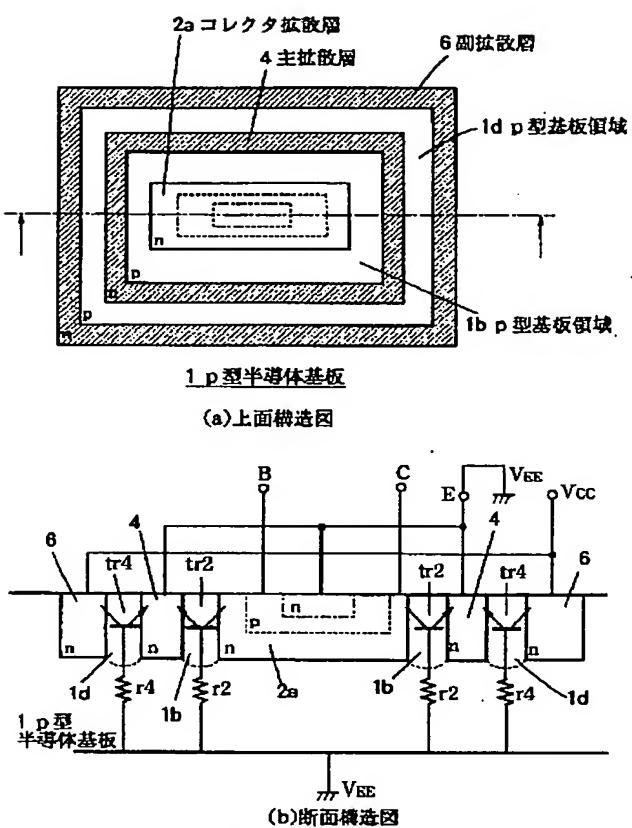
第2の審査形態

[図3]



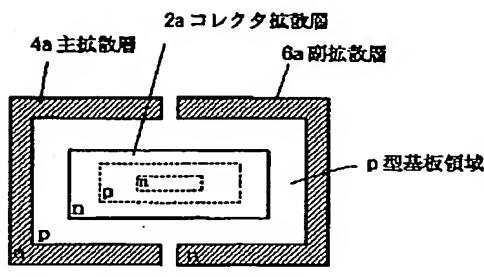
第3の実施形態

〔图4〕

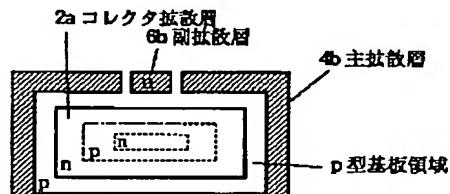


第4の実施形態

【図5】



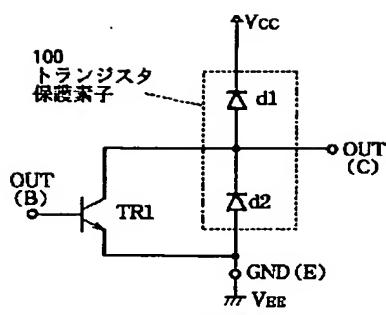
(a)上面図



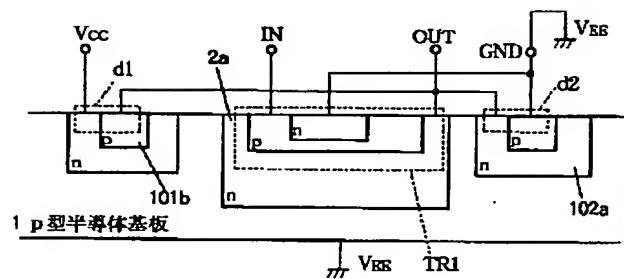
(b)上面図

第4の実施形態におけるトランジスタ保護素子

【図6】



(a)回路図



(b)断面構造図

従来のトランジスタ保護回路